

PATENT ABSTRACTS OF JAPAN

(11)Publication number : **04-290150**

(43)Date of publication of application : **14.10.1992**

(51)Int.Cl.

G06F 13/38

H04L 12/40

(21)Application number : **03-337906**

(71)Applicant : **INTERNATL BUSINESS MACH
CORP <IBM>**

(22)Date of filing : **28.11.1991**

(72)Inventor : **BISCHOFF GARY
MILOT PAUL J
SEGRE MARC
SPENCER JEFFREY S
WILSON LESLIE R**

(30)Priority

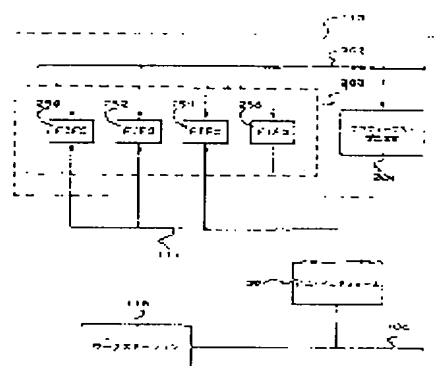
Priority number : **90 621128** Priority date : **30.11.1990** Priority country : **US**

(54) DEVICE FOR CONTROLLING FIFO BUFFER AND METHOD THEREFOR AND DEVICE FOR CONTROLLING DATA TRANSFER

(57)Abstract:

PURPOSE: To provide an FIFO buffer in which data can transferred to two ways, and plural processings simultaneously executed by a work station processor can be solved.

CONSTITUTION: Data transfer between a work station I/O bus 108 and a graphics adapter bus 202 is operated by plural first-in first-out FIFO buffers, and each FIFO buffer can independently transfer data to a selected direction between the buses. A peculiar address range is assigned in the address space of a work station processor so that the work station can transfer a data block to the selected FIFO by using a single instruction.



LEGAL STATUS

[Date of request for examination]
[Date of sending the examiner's decision of rejection]
[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]
[Date of final disposal for application]
[Patent number]
[Date of registration]
[Number of appeal against examiner's decision of rejection]
[Date of requesting appeal against examiner's decision of rejection]
[Date of extinction of right]

(19) 日本国特許庁 (J P)

(12) 公 開 特 許 公 報 (A)

(11) 特許出願公開番号

特開平4-290150

(43) 公開日 平成4年(1992)10月14日

(51) Int.Cl. ⁵	識別記号	序内整理番号	F I	技術表示箇所
G 0 6 F 13/38	3 1 0 H	7052-5B		
H 0 4 L 12/40		7341-5K	H 0 4 L 11/00	3 2 1

審査請求 有 請求項の数14(全 18 頁)

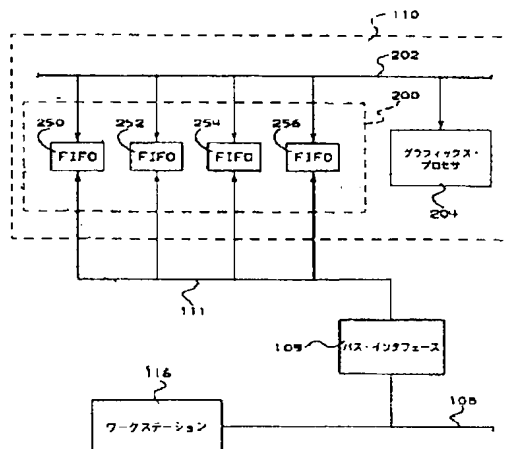
(21) 出願番号	特願平3-337906	(71) 出願人	390009531 インターナショナル・ビジネス・マシーンズ・コーポレーション INTERNATIONAL BUSINESS MACHINES CORPORATION アメリカ合衆国10504、ニューヨーク州 アーモンク (番地なし)
(22) 出願日	平成3年(1991)11月28日	(72) 発明者	ゲイリー・ビスコフ アメリカ合衆国ニューヨーク州、ソガティーズ、チャールズ・ハーメル・ロード 1358番地
(31) 優先権主張番号	6 2 1 1 2 8	(74) 代理人	弁理士 頓宮 孝一 (外4名)
(32) 優先日	1990年11月30日		最終頁に続く
(33) 優先権主張国	米国 (U S)		

(54) 【発明の名称】 マルチタスクシステムにおける2つのバス間のインタフェースとしての双方向FIFOの制御装置と制御方法

(57) 【要約】

【目的】 本発明は、双方向にデータを転送でき、ワークステーション・プロセッサで同時に実行する複数の処理を解決できるFIFOバッファを提供する。

【構成】 ワークステーションI/Oバス108とグラフィックス・アダプタ・バス202間のデータ転送は、複数の先入れ先出しFIFOバッファによって扱われ、各々のFIFOバッファは、独立して2つのバス間の選択された方向にデータを転送することができる。各FIFOはワークステーション・プロセッサのアドレス空間内に独特のアドレス範囲を割当てられているので、ワークステーションは、単一の命令を用いてデータ・ブロックを選択されたFIFOとやり取りすることができる。



【特許請求の範囲】

【請求項1】第1ラインから第2ラインにデータが転送される第1転送モードと、上記第2ラインから上記第1ラインにデータが転送される第2転送モードを有するFIFOバッファにおいて、上記第1ラインと上記第2ライン間において選択された方向へデータを転送させるための、制御装置であって、上記バッファ内のデータ量を表し、最小と最大間の範囲のカウントであるバッファ・カウントを格納する手段と、上記バッファ・カウントを、上記第1転送モードにおいて上記最小カウントに初期設定し、及び上記第2転送モードにおいて上記最大カウントに初期設定する、上記転送モードに応じて上記バッファ・カウントを初期設定する手段と、上記第1ラインと上記バッファ間のデータ転送に応じて上記モードの何れにおいても上記バッファ・カウントを増分する手段と、上記第2ラインと上記バッファ間のデータ転送に応じて上記モードの何れにおいても上記バッファ・カウントを減分する手段、とを有する制御装置。

【請求項2】第1ラインから第2ラインにデータが転送される第1転送モードと、上記第2ラインから上記第1ラインにデータが転送される第2転送モードを有するFIFOバッファにおいて、上記第1ラインと上記第2ライン間において選択された方向へデータを転送させるための制御方法であって、上記バッファ内のデータ量を表し、最小と最大間の範囲のカウントであるバッファ・カウントを格納するステップと、上記バッファ・カウントを、上記第1転送モードにおいて上記最小カウントに初期設定し、及び上記第2転送モードにおいて上記最大カウントに初期設定する、上記転送モードに応じて上記バッファ・カウントを初期設定するステップと、上記第1ラインと上記バッファ間のデータ転送に応じて上記モードの何れにおいても上記バッファ・カウントを増分するステップと、上記第2ラインと上記バッファ間のデータ転送に応じて上記モードの何れにおいても上記バッファ・カウントを減分するステップを含む制御方法。

【請求項3】FIFOバッファによって第1プロセサと第2プロセサ間のデータ転送を制御する装置であって、上記バッファ内の現在のデータ量を表すカウントを発生させる手段と、上記カウントと第1スレッシュホールド間の予め決められた関係の決定に応じて上記第1プロセサと上記バッファ間のデータ転送を中断させる手段と、上記カウントと第2スレッシュホールド間の予め決められた関係の決定に応じて上記第1プロセサと上記バッファ間のデータ転送を再開させる手段を有する上記装置。

【請求項4】上記データ転送は、上記第1プロセサから上記バッファに行なわれ、上記第1スレッシュホールドが高スレッシュホールドで、上記第2スレッシュホールドが低スレッシュホールドである請求項3記載の装置。

【請求項5】上記データ転送は、上記バッファから上記第1プロセサに行なわれ、上記第1スレッシュホールドが低

スレッシュホールドで、上記第2スレッシュホールドが高スレッシュホールドである請求項3記載の装置。

【請求項6】上記第1プロセサが、DMAコントローラであることを特徴とする請求項3記載の装置。

【請求項7】上記第1プロセサが、中央演算処理装置(CPU)であることを特徴とする請求項3記載の装置。

【請求項8】上記中断手段が第1割込み信号を発生し、上記再開手段が第2割込み信号を発生する請求項3記載の装置。

【請求項9】FIFOバッファによって第1プロセサと第2プロセサ間のデータ転送を制御する方法であって、上記バッファ内の現在のデータ量を表すカウントを発生させるステップと、上記カウントと第1スレッシュホールド間の予め決められた関係の決定に応じて上記第1プロセサと上記バッファ間のデータ転送を中断させるステップと、上記カウントと第2スレッシュホールド間の予め決められた関係の決定に応じて上記第1プロセサと上記バッファ間のデータ転送を再開させるステップを含む上記方法。

【請求項10】上記データ転送は、上記第1プロセサから上記バッファに行なわれ、上記第1スレッシュホールドが高スレッシュホールドで、上記第2スレッシュホールドが低スレッシュホールドである請求項9記載の方法。

【請求項11】上記データ転送は、上記バッファから上記第1プロセサに行なわれ、上記第1スレッシュホールドが低スレッシュホールドで、上記第2スレッシュホールドが高スレッシュホールドである請求項9記載の方法。

【請求項12】事前設定のアドレス空間内のアドレスを表すアドレス信号を発生する第1プロセサと、第2プロセサ間のデータ転送を行う制御装置であって、上記アドレス空間内の事前設定のアドレス範囲を割当てられ、複数の格納位置を有するFIFOバッファと、上記バッファを上記第2プロセサに結合する手段と、上記第1プロセサによって次のアクセスのために上記バッファ内の格納位置を定義する手段と、上記バッファの上記定義位置のアクセスにおいて、上記事前設定のアドレス範囲内のアドレス信号に応答する手段を有する制御装置。

【請求項13】上記第1プロセサが、上記アドレス信号であるデータ信号を発生し、上記アクセス手段が、上記バッファの上記定義位置に上記データ信号を格納する請求項12記載の制御装置。

【請求項14】各々が複数の独特の格納位置を有し、上記アドレス空間内の独特のアドレス範囲を割当てられた複数のFIFOバッファと、上記第1プロセサによって次のアクセスのために各々の上記バッファ内の格納位置を定義する手段と、上記バッファを選択するために、及び上記選択されたバッファの上記定義された位置にアクセスするために上記バッファの1つのバッファのアドレス範囲内のアドレス信号に応じる上記アクセス手段を有する請求項12記載の制御装置。

【発明の詳細な説明】

【0001】

【産業上の利用分野】本発明は、2つのシステム・バス間のインタフェースとしてのFIFOバッファに関し、特にコンピュータ・ワークステーションのI/Oバスとグラフィックス・アダプタの内部バス間のインタフェースとしてのバッファに関する。

【0002】

【従来の技術】コンピュータのデータ又は情報は、リアル形式で処理される場合が多い。バスによって接続されたデータ源と宛先の間で何度もデータ転送が行われる。通常、データが生成される速度と、受け取る速度には不整合がある。従って、送信側のデータ生成速度と受信側のデータ処理速度との何れの不整合を解決するために、送信側と受信側の間にある先入れ先出し（FIFO：first-in-first-out）バッファ内にデータが格納される。

【0003】

【発明が解決しようとする課題】FIFOバッファのこのようなアプリケーションの1つは、コンピュータ又はワークステーションのI/Oシステム・バスと、ディスプレイ装置に結合するグラフィックス・アダプタの内部バスとを結び付けることにある。一般に、複数の処理がワークステーション・プロセッサで同時に実行されており、各々の処理がグラフィックス・アダプタをアクセスしなければならない場合があることから、バッファの使用条件は複雑である。又、大抵のシステムではグラフィックス・アダプタへの読出し及び書込みアクセスが必要である。そのために、この発明の目的は、双方向にデータを転送でき、ワークステーション・プロセッサで同時に実行する複数の処理を解決できるFIFOバッファを提供することにある。

【0004】

【課題を解決するための手段】本発明は、中央演算処理装置（CPU）及びワークステーションのシステム・バス等に係わる1つ又はそれ以上のプロセッサに結合された第1バスと、グラフィックス・アダプタ等に係わる1つ又はそれ以上のプロセッサに結合された第2バスとを結び付けるFIFOインタフェースを提供する。FIFOインタフェースは、2つのバス間に並列に結合された複数のFIFOバッファを有し、各々のFIFOは、ブロック転送を容易にするために、あるアドレス範囲内でアドレス指定可能である。各々のFIFOは、バスに、又はバスから書込みできる転送方向ビットによってバスから何れの方向にもデータの転送が可能であり、他のFIFOとは独立して実行可能なため、同時に実行する複数のアプリケーションによってデータの転送ができる。

【0005】オーバーラン又はアンダーランを避けるために、必要なソフトウェアのオーバーヘッドを最小にするためのバッファをアクセスする処理の時間調整（例：

中断及び再開）には、スレッシュールド・クロッシングが用いられる。このように、バッファをアクセスする処理は、バッファ・カウント（又、使用中カウントにも関与する）が第1スレッシュールド（書込みには高スレッシュールド、読出しには低スレッシュールド）をクロスするのに応じて中断させられ、バッファ・カウントが第2スレッシュールド（書込みには低スレッシュールド、読出しには高スレッシュールド）をクロスするまでは再開されない。このような方法でDMAアクセスは、DMAコントローラに送られるDMA中断信号によって中断、再開させられる。

【0006】ワークステーションの中央演算処理装置で実行する処理によるアクセスは、スレッシュールド割込みに応じる割込みハンドラによって制御される。ある割込みが発生すると、対応するスレッシュールドが割込み禁止、他のスレッシュールドが割込み許可となり、FIFOをアクセスするプロセスは“高”及び“低”（或いは、バッファの読出しの際は“低”及び“高”の割込みに対応して交互に中断、及び再開される。

【0007】これらの中断、再開は、FIFOをアクセスする処理には、わからないように動作するのでバッファの格納スペースの余裕をモニタしなくてもよく、そのようなスペースの存在を単に仮定する。処理が中断している間、バッファ・カウントは第1スレッシュールドから第2スレッシュールドに進行して、バッファ・カウントが連続して同一スレッシュールドをクロスしたり再クロスした場合に生じるスラッシングを最小にする。好ましくは、スレッシュールド・カウントは、バッファ・カウント・レジスタ及び割込み許可レジスタと共に、レジスタ内容を変更するためにバスからアクセスされるレジスタに格納されるのがよい。レジスタに適切な書込みを行なうだけで第1処理は、制御された処理がわからないほどの動作で第2処理を制御することができる。

【0008】好ましくは、各バッファの使用中公カウンタは、データの転送方向とは関係なく、第1バスからのアクセス後、常に増分され、及び第2バスからのアクセス後は減分されて、ハードウェアの複雑性を最小にする。このように、使用中カウンタは、データ転送の1方向（例えば、ワークステーションからグラフィックス・アダプタへ）におけるデータを入れたバッファの位置番号と、もう一方の方向における、空のバッファの位置番号を示す。このバッファ・カウントの意味ある変化を活用するために、スレッシュールド・レジスタ内容と比較オペレーションは状況に応じて調整される。

【0009】

【実施例】図1を参照する。本発明のシステム100は、記憶装置104に直接結合し、且つI/Oバス&直接記憶アクセス（DMA）コントローラ106を通して入力/出力I/Oバス108に結合された、中央演算処理装置（CPU）すなわちプロセッサ102を備える。バ

5

ス・インタフェース109は、I/Oバス108をライン111経由でグラフィックス・アダプタ110に結合させ、グラフィックス・アダプタ110は、従来の何れの適切なタイプのディスプレイ・モニタ112に結合する。I/Oバス108は又、コントローラ106を、1つ又はそれ以上の他の周辺機器114に結合させる。これらの周辺機器には、キーボードのような標準装置、マウス、プリンタのような代替入力装置、磁気ディスク駆動装置や光ディスク駆動装置のような二次記憶装置、又は類似装置が含まれる。本発明は、何れの特定のシステム100に制限されないが、模範的なシステムは、I/Oバス108にMicro Channel (IBM登録商標)バスを使用したIBM RISC System/6000 (IBM登録商標)コンピュータのような高性能のワークステーションである。この仕様では便宜上、中央演算処理装置(CPU)すなわちプロセッサ102、記憶装置104、及びI/Oバス&DMAコントローラ106は、集成的にワークステーション116と称し、グラフィックス・アダプタ110のようなI/Oバス108に接続される周辺機器とは区別する。さらに、プロセッサ102、記憶装置104、及びI/Oバス108を、グラフィックス・アダプタ110の類似する構成機器から区別するため、これらのワークステーション構成部品は、ワークステーション・プロセッサ102、ワークステーション記憶装置104、及びワークステーション・I/Oバス108とそれぞれ称する。

【0010】グラフィックス・アダプタ110は、ワークステーション116に対して非同期で実行する。ここで図2を参照するに、グラフィックス・アダプタ110は、FIFOインタフェース200によってバス・インタフェース109とワークステーションI/Oバス108に接合された、内部アダプタ・バス202を有する。図2に示すように、FIFOインタフェース200は、バス・インタフェース109とアダプタ・バス202間を並列に結合された4つのFIFOなすわち、FIFO250、252、254、及び256で構成すると概念的にみなすことができる。後述するように、各々のFIFOは、同時に使用することができ、ワークステーション116とグラフィックス・アダプタ110間のそれぞれのFIFOの選択された方向にデータ転送を行なう。又、図2に示すように、アダプタ・バス202には、1つ又はそれ以上のグラフィックス・プロセッサ204が結合されている。グラフィックス・アダプタ110は、ディスプレイ・モニタ112に表示される画像のビット・マップを格納するためのフレーム・バッファ(図示なし)のような標準構成機器を付加的に有する。しかしながら、グラフィックス・アダプタ110のこれらの構成機器は本発明には、直接関係ないので図示しない。

【0011】図3を参照する。並列導体の本数を最小にするために多重信号化されたデータと、アドレス情報を

6

交互に含むライン111が、バス・インタフェース109から出されている。バス・インタフェース・ライン111とFIFOインタフェース・データ・ライン230に結合されたトランシーバ228は、この2つのライン間のデータ転送を制御する(ライン111及び230は、実際には多数の並列導体であっても、ここでは便宜上、単線化して図示する)。状態レジスタ232、割込み保留レジスタ234、及びDMA宛先アドレス・レジスタ236を含むデータ・ライン230は、FIFOインタフェース200の様々な構成部品に結合されている。

【0012】状態レジスタ232は、FIFOそれぞれの状態(例えば、高スレッシュホールドの到達、低スレッシュホールドの到達)を表す情報を格納し、一方、割込み保留レジスタ234は、特定のFIFOからの割込みが現在、保留されているかどうかを表す情報を格納する。状態レジスタ232は各FIFOの2ビットを格納し、1ビットは高スレッシュホールド用、1ビットは低スレッシュホールド用である。各状態ビットは対応するスレッシュホールドが1つの方向(高スレッシュホールドには下方から、及び低スレッシュホールドには上方から)にクロスした場合に1にセットされ、同じスレッシュホールドが反対方向に再クロスした場合には0にリセットされる。

【0013】割込み保留レジスタ234も又、各FIFOの2ビットを格納し、各々のスレッシュホールドは各1ビットである。各ビットは、対応するFIFO及びスレッシュホールドの割込み信号の発生時に同時に1にセットされ、割込みが保留されていることを示し、ワークステーション・プロセッサ102(特に、プロセッサで実行する割込みハンドラ)によって読出された場合に0にリセットされる。

【0014】DMA宛先アドレス・レジスタ236は、後述の代替モードのオペレーションで使用されるDMAアドレスを格納する。第2トランシーバ238はデータ・ライン230を、グラフィックス・アダプタ・バス202に結合されているバス・コントローラ(図3のMBC)242からのアダプタ・データ・ライン240と内部接続させる。バス・コントローラ242は又、グラフィックス・アダプタ・バス202からのアドレス情報を独立したアダプタ・アドレス・ライン244に供給する。

【0015】バス・インタフェース109からのライン111に応じるラッチ246は、ライン111からのアドレス情報(このように結局はワークステーション116からのアドレス情報)をマルチプレクサ248の片方の入力に与える。DMA宛先アドレス・レジスタ236は、マルチプレクサ248のもう一方の入力にDMAアドレスを与える。マルチプレクサ248が適切に作動させられ、DMA宛先アドレス・レジスタ236からのDMAアドレス、又はライン111からのワークステーション

ン・アドレス信号を出力ライン268に与える。マルチプレクサ248によって選択されたアドレス信号は、マルチプレクサ270の片方の入力に供給される。マルチプレクサ270は、後述するように、アダプタ・アドレス・ライン244から第2の入力を得、同様にFIFOアドレス・ライン258から第3のアドレス入力を得る。マルチプレクサ270は、グローバル・メモリ・アドレス・ライン272に出力する。ライン272は又、アドレス・デコーダ274の出力に結合される。アドレス・デコーダ274は、マルチプレクサ248に結合するライン268から入力を得ると共に、バス・コントローラ242に結合するライン244から入力を得る。

【0016】FIFOインタフェース200は、ビデオRAM (VRAM) によって好ましくは実行されるグローバル・メモリ206を有する。グローバル・メモリ206は、アドレス・ライン272からアドレス入力を得、データ・ライン230に結合したパラレル・データ・ポートと、アダプタ・データ・ライン240に結合したシリアル・データ・ポートを有する。オペレーションのモードにより、グローバル・メモリ206は、マルチプレクサ270、及びマルチプレクサ248を通してDMA宛先アドレス・レジスタ236からDMA宛先アドレスを、マルチプレクサ248を通してラッチ246からワークステーション・アドレスを、ライン258からFIFOアドレス、又はライン244からアダプタ・アドレスを得ることができる。グローバル・メモリ206は、ライン244のアダプタ・アドレスがデコードされたアドレス、又はワークステーション、即ち、ライン268のDMAアドレスがデコードされたアドレスを、交互にデコーダ274から得ることができる。グローバル・メモリ206のデータの書込み及び読出しは、データ・ライン230に結合されたパラレル・ポート、又はアダプタ・データ・ライン240に結合されたシリアル・ポートを通して行なわれる。この2つのポートの備えによって、グローバル・メモリ206のデータの書込み及び読出しが同時にできる。

【0017】FIFO250、252、254、及び256は、それぞれ1組の複数のFIFOレジスタによって実現される。各FIFOに対するこれらの1組のFIFOレジスタは、グローバル・ポインタ・レジスタ208、指標ポインタ・レジスタ210、使用中カウント・レジスタ212、高スレッシュホールド・レジスタ214、低スレッシュホールド・レジスタ216、高スレッシュホールド割込み許可レジスタ218、低スレッシュホールド割込み許可レジスタ220、制御レジスタ222、加算レジスタ224、減算レジスタ226である。

【0018】グローバル・ポインタ・レジスタ208は、特定のFIFOのために確保されているグローバル・メモリの64Kバイトのブロックの開始アドレスを格納する。各FIFOは、グローバル・メモリ206中に

64Kバイト単位で位置することができる。グローバル・ポインタ・レジスタ208に格納される値は、メモリ・アドレス (例: A21~A16) の6個の最上位のビットに一致する。通常、FIFO250、252、254、及び256は、全体でグローバル・メモリ206の上位256Kバイトを占有するように準備される。

【0019】指標ポインタ・レジスタ210は、ワークステーション116からの次のアクセスのために各FIFO内のアドレス・オフセットを有する。ライン258に供給されるグローバル・メモリ206の実アドレスは、グローバル・ポインタ・レジスタ208内のグローバル・ポインタと、指標ポインタ・レジスタ210内の指標ポインタとの連結で、指標ポインタは16個の最下位のアドレス・ビットを含む。指標ポインタ・レジスタ210は、FIFO制御ロジックによって更新される。FIFO制御ロジックに関してはFIFOの読出し及び書込みの説明で述べる。

【0020】一般に、ワークステーション116又はアダプタ・バス202からのFIFOへのアクセスは、アドレス・デコーダ274経由でグローバル・メモリ206をアドレス指定することによって実行される。これは、目標とするアクセスは、特定のメモリ位置よりも次の読出し又は書込みバッファに位置するからである。各々のFIFO (250~256) はアドレス指定単位のアドレス空間に単一なアドレス (後述) 又は単一なアドレス範囲としてワークステーション116及びグラフィックス・プロセッサ204に存在する。アドレス・デコーダ274は、ワークステーション116、又はアダプタ・バス202から供給されるアドレス信号をデコードし、アドレス指定によってFIFOを選択する。FIFOポインタはFIFO内の目標位置に直接アクセスする。FIFOの領域とは異なったグローバル・メモリへのアクセスは、デコードされていないアドレス信号をグローバル・メモリ・アドレス・ライン272に供給するマルチプレクサ270経由で実行される。

【0021】図4はどのようにして様々なグローバル・ポインタ及び指標ポインタが、グローバル・メモリ206内のFIFO領域を定義するかを例示する。図4において、各々のFIFOのグローバル・ポインタ・レジスタ208がグローバル・ポインタGMP1~GMP4それぞれを格納していると仮定し、一方、同じFIFOに相当するそれぞれの指標ポインタ・レジスタ210が、指標ポインタIP1~IP4をそれぞれ格納していると仮定する。図4が示すように、各グローバル・ポインタ (例: GMP1) は、対応するFIFO領域の開始アドレスを指す。前述したように、この開始アドレスは、特に図示するように、64Kバイトの整数倍でなければならない。各々のFIFOの指標ポインタ (例: IP1) は、グローバル・ポインタによって定義された開始アドレスに相対する、ワークステーション116による次の

アクセスのアドレスを指す。図4には、4つの連続するFIFO領域260、262、264及び266が示されている。図4の実施例では、隣接する64Kバイトのブロックを指すのに、隣接するFIFOのポインタとは1だけ違うグローバル・ポインタをグローバル・ポインタ・レジスタ208に格納する。

【0022】 各々のFIFO使用中カウント・レジスタ212は、該当するFIFOのデータのバイト数を表す数を所有する。使用中カウント・レジスタ212の必要なデータ・フォーマットは、対応する制御レジスタ222の転送方向ビットの設定によって変わる。外向き（ワークステーションからアダプタへ）転送モードでは格納される値は、該当するFIFOのデータのバイト数を表す。内向き（アダプタからワークステーションへ）転送モードでは格納される値は、64Kバイト（16進で10000h）から読出されるFIFOのデータのバイト数を引いた数である。全オペレーション中、FIFO使用中カウント・レジスタ212は、対応するFIFOがワークステーション側からアクセス（書き込み又は読出し）される毎に増分される。アダプタ側からのアクセスに
10 応答する使用中カウント・レジスタ212の内容変更は、下記に述べる方法の加算レジスタ224、及び減算レジスタ226による結果である。

【0023】 各々の高スレッシュールド・レジスタ214は、該当するFIFOの使用中カウント・レジスタ212の内容と比較されるスレッシュールドを格納する。使用中カウント・レジスタ212が、FIFOのデータ量が少なくとも高スレッシュールドに相当することを示す場合、割込みが発生する（割込み許可の場合）。この割込みは、I/Oバス108経由でワークステーション116のワークステーション・プロセッサ102に送られる。後で詳細に述べられるように、高スレッシュールド・レジスタ214内のスレッシュールド値は、対応する制御レジスタ222の転送方向ビットの設定で決まる。転送方向ビットが0の場合、ワークステーション116からグラフィックス・アダプタ110への外向きデータ転送を示し、格納される値は目標のスレッシュールドに相当する。一方、転送方向ビットが1の場合、グラフィックス・アダプタ110からワークステーション116への内向きデータ転送を示し、格納される値は64Kバイト（この
20 大きさはグローバル・メモリ206の対応するFIFO領域のサイズと仮定する）から所望する値を引いた値である。ワークステーションがFIFOをアクセスしたか、又は、使用中カウント・レジスタ212が、加算レジスタ224への書き込み、又は減算レジスタ226への書き込みによってアダプタ側から更新された場合は、割込みが発生する。

【0024】 各々の低スレッシュールド・レジスタ216は、対応する高スレッシュールド・レジスタ214のオペレーションと同様な方法で機能する。低スレッシュールド

・レジスタ216内の値は使用中カウント・レジスタ212内の値と比較される低スレッシュールドを定義する。使用中カウント・レジスタ212が、FIFOのデータ量が低スレッシュールド設定値以下であることを示す場合は割込みが発生する（割込み許可の場合）。この割込みは、高スレッシュールドの割込みと同様な方法でワークステーション116に送られる。低スレッシュールド・レジスタ216に格納される値は、対応する制御レジスタ222の転送方向ビットの設定により決まる。転送方向ビットが0の場合、目標の低スレッシュールド値に相当する値が格納される。一方、転送方向ビットが1の場合、64Kバイト（この大きさはグローバル・メモリ206の対応するFIFO領域のサイズと仮定する）から目標値を引いた値が格納される。高スレッシュールド割込み同様に、ワークステーションがFIFOをアクセスしたか、又は、使用中カウント・レジスタ212が、加算レジスタ224への書き込み又は減算レジスタ226への書き込みによってアダプタ側から更新された場合は、低スレッシュールド割込みが発生する。

【0025】 各々の高スレッシュールド割込み許可レジスタ218及び低スレッシュールド割込み許可レジスタ220は、1ビットを格納する。高スレッシュールド割込み許可ビットが1にセットされると、対応するFIFOのデータ量が、高スレッシュールド・レジスタ214内のスレッシュールド値以上、すなわち、該当するFIFOの高スレッシュールド設定値以上の場合は、割込みはワークステーション116に送られる。このビットによりワークステーションは対応するFIFOからの高スレッシュールド割込みの禁止又は許可の処理を実行する。1にセットされると、使用中カウント・レジスタ212内の使用中カウントが高スレッシュールドをクロスする場合に、割込みが発生し、該当するFIFOの状態レジスタ232（図3）内の状態ビットを0から1に切換えるようにする。該当するFIFOに対応する割込み保留レジスタ234（図3）の読出しによって、1度、割込みが解消されると、再度、状態レジスタ232の対応ビットが0から1に切換わるまで割込みは発生しない。この割込み許可ビットは、高スレッシュールド割込みが発生した場合にリセットされる。

【0026】 各々の低スレッシュールド割込み許可レジスタ220も同様な方法で機能する。特定のFIFOの低スレッシュールド割込み許可レジスタ・ビットが1にセットされると、対応する低スレッシュールド・レジスタ216によって定義されたように、対応するFIFOのデータ量が該当するFIFOの低スレッシュールド設定値以下の場合、割込みはワークステーション116に送られる。高スレッシュールド・ビットと同様な方法で、このビットによってソフトウェアが対応するFIFOからI/Oバス108への低スレッシュールド割込みを許可又は禁止にする。1にセットされると使用中カウント・レジス
50

タ212内の使用中カウントが、低スレッシュホールドをクロスし、次に同じスレッシュホールドを再クロスした場合に、割込みが発生する。これは、実際の低スレッシュホールド割込みが必要な場合に、偽の低スレッシュホールド割込みと排除することによって実行される。言い換えると、FIFOがデータで満たされると、FIFOは低スレッシュホールドを越えて満たされていることは間違いない、次に、満たされているデータが取り除かれ、再び、低スレッシュホールドを下回ってクロスすると、割込みが発生することになる。1度、割込み保留レジスタ234の読出しによって割込みが解消されると、再度、状態レジスタ232のビットが0から1に切換わるまで、割込みは発生しない。この割込み許可ビットは、低スレッシュホールド割込みが発生した場合にリセットされる。

【0027】各制御レジスタ222は4ビットを格納する。これらのビットは、リセット指標レジスタ・ビット、リセット使用中カウント・ビット、転送方向ビット、及びDMA中断許可ビットである。リセット指標レジスタ・ビットが1にセットされると、対応するFIFOの指標ポインタ・レジスタ210をクリアする。同様に、リセット使用中カウント・レジスタ・ビットが1にセットされると、対応する使用中カウント・レジスタ212をクリアする。前述のように、転送方向ビットは、ワークステーション116とグラフィックス・アダプタ110間の転送方向を示す。転送方向ビットが1にセットされると、データの流れの方向がグラフィックス・アダプタ110から（特にグラフィックス・アダプタ・バス202から）、ワークステーション116の方向であることを示す。転送方向ビットが0にセットされると、データの流れの方向がワークステーション116からグラフィックス・アダプタ110のバス202への方向となる。このモード・ビットはFIFOインタフェース200内で使用され、ワークステーションの処理又はDMAのアクセスの中断、再開を調整する程度に高スレッシュホールド・レジスタ214、低スレッシュホールド・レジスタ216、及び状態レジスタ232の機能を逆にする。このビットが使用されても、これらの変化はプログラマには見えない。

【0028】DMA中断許可ビットが1にセットされると、次の場合に、対応するFIFOへのDMAを中断する。該当する使用中カウント・レジスタ212の内容が、ワークステーション116（モード=0）からグラフィックス・アダプタ110へデータ転送の場合に高スレッシュホールド値に到達する場合、又はグラフィックス・アダプタ110（モード=1）からワークステーション116へデータ転送の場合に、低スレッシュホールド値に到達する場合である。DMAは次の状態になるまで中断を維持する。使用中カウント・レジスタ212内の使用中

合に低スレッシュホールド値に到達する場合、又はグラフィックス・アダプタ110（モード=1）からワークステーション116へデータ転送の場合に高スレッシュホールド値に到達する場合である。この機能が使用されると、特定のFIFOの高スレッシュホールド割込み許可レジスタ218と低スレッシュホールド割込み許可レジスタ220の両レジスタは、0にセットされることで割込み禁止となる。

【0029】FIFOの加算レジスタ224、減算レジスタ226は、グラフィックス・アダプタ・バス202からアクセス可能で、特定のFIFOの使用中公カウント・レジスタ212を更新するのに用いられる。グラフィックス・アダプタ・バス202からワークステーション116へのFIFOにおける転送開始毎に加算レジスタ224は64Kバイト（10000h）に設定され、空のFIFOであることを示す。

【0030】減算レジスタ226は、ワークステーション116からグラフィックス・アダプタ・バス202に転送中の対応するFIFOから取り除かれるバイト数を示すのに使用され、又は、他の方向であるグラフィックス・アダプタ・バス202からワークステーション116へデータ転送中、グラフィックス・アダプタ・バス202から対応するFIFOに転送されたバイト数を示すのに使用される。これらのバイト数はグラフィックス・アダプタ・バス202から減算レジスタ226にロードされ、アダプタ・バス側から対応するFIFOへの書き込み又は読出したバイト数だけ、使用中カウント・レジスタ212を減分する

【0031】レジスタ208、214、216、218及び220は、ワークステーション116によって適切に書き込み又は読出される。レジスタ210、212は書き込みはされず、読出されるだけである。又、制御レジスタ222は、ワークステーション116によって書き込みでき、一方、加算レジスタ224、減算レジスタ226は、前述のようにグラフィックス・アダプタ・バス202から書き込まれる。

【0032】図5は、FIFO250内の様々なレジスタ間のさらに詳細な接続を図示する。他の残りのFIFOのレジスタ252、254、256は、FIFO250と一部を除いて同様である。図5において、FIFO250に割り当てられたグローバル・メモリ206の特定部260は、グローバル・ポインタ・レジスタ208（図5のラベル付けされた“開始加算ポインタ”）の内容によって決まる。グローバル・メモリの特定部260から下側の構成要素は、FIFO250特有で、グローバル・メモリの特定部260を含む上側の構成要素は、4つのFIFOの250、252、254、256に共通である。

【0033】図5に示すタイミング&制御ロジック276（図3には図示されていない）は、アドレス・デコー

ダ(図5にてラベル付けされた“1/Oデコード”)274からのライン272に供給されるデコードされたアドレス信号、及びDMA宛先アドレス・レジスタ236からの信号、及びワークステーション116から結局は到来するライン278の読出し/書込み制御信号にตอบสนองする。タイミング&制御ロジック276は、ワークステーション116によってグローバル・メモリ特定部260へのデータの書込み又は読出しが実行されると、指標ポインタ・レジスタ210及び使用中カウント・レジスタ212の内容を増分する。グラフィックス・アダプタ102からアクセスが実行されて使用中カウント・レジスタ212の更新、及び内向きデータ転送の場合の使用カウントの64Kバイトへの初期化は算術論理演算装置(ALU)280で実行される。ALU280は、使用中カウント・レジスタ212から入力信号を、加算レジスタ244から加算入力信号を、及び減算レジスタ226から減算入力信号を受ける。ALU280は、タイミング&制御ロジック276からの加算/減算信号に応じて、使用中カウント値に加算レジスタ224の内容を加算するか、カウント値から減算レジスタ226の内容を引いて、その結果をレジスタ212の前の内容と入れ替える。

【0034】図5には比較器282が図示されており、その入力をFIFO250の使用カウント・レジスタ212、高スレッシュホールド・レジスタ214及び低スレッシュホールド・レジスタ216から受ける。比較器282は、タイミング&制御ロジック276から受けた比較信号に応じて、使用中カウントと高スレッシュホールド・レジスタ214及び低スレッシュホールド・レジスタ216内のスレッシュホールドと比較し、比較成功の場合はライン284に割込み信号を、又はライン286にDMA中断信号を出力する。

【0035】FIFO250、252、254、256が使用される前に、各グローバル・ポインタ・レジスタ208は、グローバル・メモリ206の64Kバイトのブロックを指すようにプログラムされる。高スレッシュホールド・レジスタ214及び低スレッシュホールド・レジスタ216は、選択された値に設定される。指標ポインタ・レジスタ210は、電源ON時にゼロに初期化される。最初のFIFOへのアクセスは、グローバル・ポインタ・レジスタ208内のグローバル・メモリ・ポインタ及び指標ポインタ・レジスタ210内の指標ポインタによって示されるFIFOの最初の位置に対して行なわれる。FIFOのアドレス範囲内への各アクセスは、これら2つのポインタの連結によって示されるメモリ位置に対して実行される。

【0036】各FIFO(250~256)のアドレス範囲は、ワークステーション116で実行するアプリケーションが、選択されたFIFOに記憶複数命令(ストア・マルチプル命令)を使用して書込みするために使用

される。記憶複数命令(ストア・マルチプル命令)は、アドレスを連続して増分させ、ワークステーション・プロセッサ102内の内部レジスタ(個々には図示されていない)の内容を格納する。対照的に、ロード複数命令は、同様に、アドレスを連続して増分させ、選択されたFIFOからデータ・ブロックを読出す。好ましくは、各々のFIFOは、128ワードの範囲を備える。このように、図5に示すように、アドレス・デコーダ274は、ワークステーション116からアドレス信号を得て0600h~07FCh範囲内でFIFO250を選択する。システム100ではアドレスは各32ビット・ワードの4バイトで、8ビットのバイト単位で計算される。上記範囲は最後のアドレスは含むが最初のアドレスは含まない場合、127ワードのエクステントに相当する1FChバイト、すなわち10進法で508バイトのエクステントを有し、最初のアドレスを含む場合は128ワードである。

【0037】マルチタスク・システムとして、ワークステーション116は、同時に多重処理を実行する能力がある。これらの各々の処理は、グラフィックス・アダプタ110を直接にアクセスできる。ワークステーション・プロセッサ102で実行するオペレーティング・システムを補助するために、各処理においてグラフィックス・アダプタ110の状態を保持するために2組の制御レジスタ(個々には図示されていない)がワークステーション・メモリ104の異なるページに存在する。これにより、2つの処理が、何れのオペレーティング・システムのオーバ・ヘッドなしに同時にグラフィックス・アダプタ110をアクセスできる。又、1つのアプリケーションにグラフィックス・アダプタ110を使用させ、一方で、他のFIFOが他のアプリケーションを準備するために1つの処理から離れることができる。

【0038】FIFO250、252、254、256は4つのFIFOの入力のアドレス範囲、又はDMAアクセスのためのワークステーション116のDMAコントローラ106を使用することによってワークステーション・プロセッサ102によって直接にアクセスされることができる。FIFOへのDMAアクセスの実行には、正しいFIFOをアクセスする適切な範囲内のアドレスがDMA宛先アドレス・レジスタ236(図2、図3)にロードされる。FIFOへのDMAアクセスの調整は次のように制御される。

【0039】ワークステーション116からFIFOのアドレス範囲内のアドレスにアクセスが実行されると、タイミング&制御ロジック276(図5)は、対応する指標ポインタ・レジスタ210及び使用中カウント・レジスタ212の内容を増分するためにパルスを出力する。次に、タイミング&制御ロジック276は、使用中カウント・レジスタ212内の使用中カウントと、高スレッシュホールド・レジスタ214、低スレッシュホールド・レ

レジスタ216内の高スレッシュホールド値、及び低スレッシュホールド値と比較する比較オペレーションを実行させるパルスを送る。指標ポインタ・レジスタ210は、常にいずれのサイクルの完了時に、グローバル・メモリ内の次の位置を指す。使用中カウント・レジスタ212内の使用中カウントは、FIFOへのアダプタのアクセス毎に自動的に更新される。

【0040】データは、ワークステーション116からグローバル・ポインタ・レジスタ208内のグローバル・ポインタと、指標ポインタ・レジスタ210内の指標ポインタとの連結によって指定された適切なメモリ位置に直接向う。指標ポインタは、1バイト(8ビット)、半ワード(16ビット)及びワード・アクセスで適切に増分される。FIFOがアダプタ・バス202からアクセスされると、使用中カウント・レジスタの内容が、加算レジスタ224及び減算レジスタ226によってグラフィックス・プロセッサのマイクロコードで更新される。

【0041】FIFOへのDMAの書き込み中、全てのFIFOの割込みは中断される。データの書き込みの制御、すなわち調整が、バス・インタフェース109への付加制御信号(図5のライン286)によって行なわれる。一時的にDMAを中断させるために高スレッシュホールド状態信号が、バス・インタフェース109にゲートされる。次にデータが、通常の方法でグラフィックス・アダプタ110によってFIFOから移動させられる。FIFOから低スレッシュホールド状態が変化するほどの十分なデータが移動させられると、DMAは再始動する。このように、DMAがFIFOを読出し中は、全てのFIFOの割込みは再び中断させられる。データの読出しの制御、すなわち調整は、バス・インタフェース109への同じ制御信号によって行なわれる。一時的にDMAを中断するために低スレッシュホールド状態信号がバス・インタフェース109にゲートされる。次にデータが通常の方法でアダプタ・バス202からFIFOに供給される。FIFOに対して高スレッシュホールド状態が変化するほどの十分なデータが加えられると、DMAは再始動する。この調整機能によって、このようにFIFOへのDMAアクセスが、ソフトウェアの介入なしでどちらの方向にも行なうことができる。

【0042】ワークステーション116からグラフィックス・アダプタ110(特にグラフィックス・アダプタ・バス202へ)へのデータ転送において、この転送に使用されるFIFOは、対応するFIFO制御レジスタ222への書き込み、外向きデータ転送を示す転送方向ビットの0の設定、及び指標ポインタ・レジスタ210と使用中カウント・レジスタ212の内容のクリアによって初期化される。前述のように、指標ポインタ・レジスタ210内の指標ポインタは、グローバル・ポインタ・レジスタ208内のグローバル・メモリ・ポインタと連結し、FIFOへの次の書き込みのためのグローバル・メ

モリ206内の位置を示す。又、前述のように、使用中カウント・レジスタ212は、FIFOから読出しされるバイト数を示す。使用中カウントの00000hは、FIFOが空であることを示し、一方、使用中カウントの10000hは、FIFOがデータで満たされていることを示す。該当するFIFOの低スレッシュホールド・レジスタ216は、低スレッシュホールド割込みを発生させるための目標のバイト数に設定され、一方、対応する高スレッシュホールド・レジスタ214は、高スレッシュホールド割込みを発生させるための目標のバイト数に設定される。ワークステーション116は、選択されたFIFOにFIFOの有効範囲内でデータを書込む。該当するFIFOへの各書き込みが行なわれると、指標ポインタ・レジスタ210と使用中カウント・レジスタ212の両方は適正に増分される。グラフィックス・アダプタ・バス202(特に、バス202に結合されたグラフィックス・プロセッサ204)はFIFOのデータを自らの読出し/書き込みポインタを用いてグローバル・メモリ206から直接、読出しする。この読出し/書き込みポインタは、グラフィックス・プロセッサ204に係わるローカル・メモリ(個々には図示されていない)の内容、又は該当するFIFOの指標ポインタ・レジスタ210と使用中カウント・レジスタ212の内容からの計算値のいずれかである。グラフィックス・アダプタ・バス202に接続するグラフィックス・プロセッサ204は、次に、該当するFIFOの使用中カウント・レジスタ212を、減算レジスタ226に書き込みすることによって更新し、読出されるバイト数を示す。

【0043】上記とは逆方向である、グラフィックス・アダプタ・バス202からI/Oバス108経由でワークステーション116へのデータ転送において、選択されたFIFOは、対応するFIFO制御レジスタ222に最初に書き込みすることによって初期化され、内向きデータ転送方向を示すために転送方向ビットを1にセットし、対応する指標ポインタ・レジスタ210と使用中カウント・レジスタ212をクリアする。この両レジスタ210、212がクリアされると、使用中カウント・レジスタ212は、対応する加算レジスタ224に値64Kをロードすることによって64Kがロードされる。指標ポインタ・レジスタ210内の指標ポインタとFIFOのグローバル・ポインタ・レジスタ208内のグローバル・メモリ・ポインタが連結され、ワークステーション116によるFIFOの次の読出しのグローバル・メモリ206内の位置を示す。外向き転送モードとは逆の内向き転送モードでは、使用中カウント・レジスタ212の使用中カウント10000hはFIFOの空状態を示し、使用中カウント00000hはデータで満たされたFIFOの状態を示す。FIFOの残りの読出されるバイト数は、64K(10000h)から使用中カウント・レジスタ212の内容の値を引くことによって知る

ことができる。選択されたFIFOの低スレッシュホールド・レジスタ216は、10000h(64K)から低スレッシュホールド割込みを発生させるための目標のバイト数を引いた値に設定され、一方、高スレッシュホールド・レジスタ214は、10000h(64K)から高スレッシュホールド割込みを発生させるための目標のバイト数を引いた値に設定される。グラフィックス・アダプタ・バス202に接続されたグラフィックス・プロセッサ204は、FIFOのデータを前述と同一の読出し/書込みポインタを用いてグローバル・メモリ206に直接、書込む。この読出し/書込みポインタは、グラフィックス・プロセッサ204に係わるローカル・メモリ(図々に図示されていない)の内容か、指標ポインタ・レジスタ210と使用中カウンタ・レジスタ212の内容の計算値の何れかである。次に、グラフィックス・プロセッサ204は、再び減算レジスタ226への書込みにより使用中カウンタ・レジスタ212の内容を更新し、今度は書込まれるバイト数を表す。ワークステーション116は、該当するFIFOからFIFOの有効範囲内のデータを読出す。該当するFIFOから各読出しが行なわれると、該当するFIFOの指標ポインタ・レジスタ210と使用中カウンタ・レジスタ212の両方の内容が自動的に増分される。

【0044】外向き及び内向きの両モードのデータ転送において、低スレッシュホールド・レジスタ216と高スレッシュホールド・レジスタ214の内容は、同じFIFOの使用中心カウンタ・レジスタ212の内容と連続して比較され、該当するFIFOに割当てられた状態レジスタ232の内容は、FIFOのアドレス範囲内、又はレジスタ212、214、216、222、224、或いは226の何れかにアクセス後、更新される。

【0045】システム100では、各FIFOへのアクセスのソフトウェアのオーバーヘッドは、高スレッシュホールドと低スレッシュホールドの割込みを使用することにより最小となる。これらの割込みによりワークステーション・プロセッサ102で実行する処理が、該当するFIFOに十分な空きがあるかどうか、グラフィックス・アダプタ110への問い合わせを必要とせずにFIFOへのデータの書込みができる。データがワークステーション116からグラフィックス・アダプタ110に書込まれると、FIFOはデータで満たされる。データがグラフィックス・アダプタ110によって処理されるとFIFOは、使用中カウンタが示す値によって空にさせられる。FIFOのデータ量が高スレッシュホールドを越えると、高スレッシュホールド割込みが発生する。同様に、FIFOのデータ量が低スレッシュホールドを下回ると、低スレッシュホールド割込みが発生する。これらの割込みは、ワークステーション・プロセッサ102で実行する割込みハンドラと呼ばれる独立した処理によって扱われ、割込みハンドラは、割込みがグラフィックス・アダプタ110によって

発生すると呼出される。スレッシュホールド値と割込み許可を正しく保持することによって、割込みハンドラは、アプリケーションがFIFOの状態に関与することなしに、アプリケーションのFIFOへの書込みを停止させたり、開始させることができる。これらの制御によってアプリケーションはデータをFIFOに容易に転送することができ、しかも、FIFOに空きが無くなった場合は自動的に実行を停止する。これにより他のタスクがシステム内で実行できる。アプリケーションはFIFOに空きができると自動的に再び実行を再開する。

【0046】ワークステーション・プロセッサ102で実行するアプリケーションが、FIFOの何れかに書込みする場合、アプリケーションはシステム・コールで、自ら割込みハンドラに登録する。このことは割込みハンドラが、どの処理を開始させるか、停止させるか、認知することになり、FIFOを使用中のアプリケーションが、そのFIFOの使用完了まで、他のアプリケーションのそのFIFOの使用を停止させる。アプリケーションは、割込みハンドラに登録すれば、FIFOへのアクセスが自由となる。

【0047】高スレッシュホールド及び低スレッシュホールドの割込みが発生する場合には、FIFO(250~256)のデータがスレッシュホールドの位置を一時的に越えたりする変動のために、割込みが欠けず早に発生するのを防止する注意が必要である。又、停止させられている何れのアプリケーションが再始動するのを防止する注意が必要である。これらの問題はハードウェアと割込みハンドラの協調によって解決できる。

【0048】初期段階ではFIFOは、高スレッシュホールド割込み許可、及び低スレッシュホールド割込み禁止に設定されている。データがワークステーション116からFIFOに書込まれると、前述したハードウェアが、データをグローバル・メモリ206に移動させ、対応する使用中カウンタ・レジスタ212を増分する。グラフィックス・プロセッサ204(特に、このプロセッサで実行している処理)がFIFOのデータを検出するとグラフィックス・プロセッサ204は、データを読出し、減算レジスタ226で使用中カウンタ・レジスタ212の内容を減分する。ワークステーション116が、使用中カウンタが高スレッシュホールドを越えるほどの十分なデータをFIFOに書込むと、高スレッシュホールド割込みが発生し、同時に、さらに高スレッシュホールド割込みが生ずるのを防止するために高スレッシュホールドが割込み禁止にされる。この時点で、高スレッシュホールド及び低スレッシュホールドの両方は割込み禁止にさせられる。割込みハンドラはここで割込みを処理し、書込みアプリケーションを調整し、FIFOの高スレッシュホールド及び低スレッシュホールドは、システムが連続して稼働するように適切な割込み許可状態にされる。低割込みスレッシュホールドを割込み許可に、及びアプリケーションを停止させることにより、ワークス

デーション・プロセサ102で他のタスクの実行が可能になり、一方で、グラフィックス・アダプタ110は、FIFOのデータを処理する。この処理により、低スレッシュホールドよりも低くなるように使用中カウント・レジスタ212内の使用中カウントを減分すると、低スレッシュホールド割込みが発生し、低スレッシュホールドは、後の低スレッシュホールド割込みの発生を防止するために自動的に割込み不能にされる。

【0049】前述を要約すると、ワークステーション116からグラフィックス・アダプタ110への外向き転送において、使用中カウント・レジスタ212内の使用中カウントが高スレッシュホールド・レジスタ214内の高スレッシュホールドに到達するか、越える場合、FIFOは、高スレッシュホールド割込み（割込み許可の場合）を発生させ、使用中カウントが、低スレッシュホールド・レジスタ216内の低スレッシュホールドに到達するか、下回る場合、FIFOは、低スレッシュホールド割込み（割込み許可の場合）を発生させる。ワークステーション・プロセサ102で実行する割込みハンドラは、書き込みアプリケーションを中断させて高スレッシュホールド割込みに応じ、高スレッシュホールド割込み許可レジスタ218に書き込みして高スレッシュホールド割込みを不能にさせ、及び低スレッシュホールド割込み許可レジスタ220への書き込みによって低スレッシュホールド割込みを可能にさせる。割込みハンドラは、書き込みアプリケーションを再開することによって低スレッシュホールド割込みに応じ、低スレッシュホールド割込み許可レジスタ220への書き込みによって低スレッシュホールド割込みを不能にさせ、及び高スレッシュホールド割込み許可レジスタ218への書き込みによって高スレッシュホールド割込みを可能にする。

【0050】グラフィックス・アダプタ110からワークステーション116への内向き転送において、使用中カウント・レジスタ212内の使用中カウントが高スレッシュホールド・レジスタ214内の高スレッシュホールドに到達するか、下回る場合、FIFOは、高スレッシュホールド割込み（割込み許可の場合）を発生させ、及び使用中カウントが低スレッシュホールド・レジスタ216内の低スレッシュホールドに到達するか、越える場合、FIFOは低スレッシュホールド割込み（割込み許可の場合）を発生させる（前述のように、内向き転送ではカウントは、逆の意味である）。ワークステーション・プロセサ102で実行する割込みハンドラは、読出しアプリケーションの中断によって低スレッシュホールド割込みに応じ、低スレッシュホールド割込み許可レジスタ220への書き込みによって低スレッシュホールド割込みを不能にさせ、及び高スレッシュホールド割込み許可レジスタ218への書き込みによって高スレッシュホールド割込みに応じ、高スレッシュホールド割込み許可レジスタ218への書き込みによって高スレッシュホールド割込

みを不能にし、及び高スレッシュホールド割込み許可レジスタ220への書き込みによって高スレッシュホールド割込みを可能にする。

【0051】前述の自動化されたスレッシュホールド割込み禁止及び、予め設定された割込み許可を使用することによって、必要なアクセス、及びグラフィックス・アダプタ110の操作、及び処理する経路長さは、割込み中、大幅に減少する。さらにアプリケーションの自動開始、自動停止は、FIFOへのアクセスのソフトウェアのオーバーヘッドを最小にし、及びワークステーション・プロセサ102の利用を改善する。

【0052】あるグラフィックス・オペレーションでは、データは、グラフィックス・アダプタ110から読出され、ワークステーション記憶装置104に移動させられることが要求される。これを解決するにも、グラフィックス・アダプタの各FIFOは、前述のように、データをワークステーション116と、グラフィックス・アダプタ110との間を双方向に、いずれの方向にも移動することができる。複数のFIFOを備えているのでグラフィカル・データから分離してグラフィカル命令を取り扱うことができる。データから命令を分離する方法は、2つのグラフィックス・プロセサ204を並行に働かせることができる。このように1つのプロセサが、FIFOのデータから特定の命令のグラフィカル・データを処理しながら、もう一方のプロセサが、FIFOの次の命令で働くことができる。グラフィカル・データが、ワークステーション116からグラフィックス・アダプタ110に書き込まれると、各FIFOは、前述のように先行するパラグラフでオペレートする。しかしながら、データのグラフィックス・アダプタ110からの読出しの場合、ワークステーション116とグラフィックス・アダプタ110の間においては、データ転送、及びグラフィックス・アダプタ110への書き込みにおけるFIFOの通常状態への復帰のためには、再同期化が必要である。

【0053】ワークステーション・プロセサ102で実行するアプリケーションが、グラフィカル・オペレーションを実行する場合は、グラフィックス・アダプタ110からのデータの読出しが必要で、適切な命令をFIFOの命令に書き込む。アプリケーションは命令がどのように処理されたかわからないので、アプリケーションはアダプタ・デバイス・ドライバ（ワークステーション・プロセサ102で同時に実行する処理）を呼出し、あるアプリケーションが高スレッシュホールド割込みで停止させられるのと同様な方法で、アプリケーションは停止させられることを要求する。“読出し”命令がグラフィックス・アダプタ110によって処理されると、グラフィックス・プロセサ204で実行する処理は、データをFIFOに入れ、FIFOの使用中カウントを最大値にセットし、高スレッシュホールド割込みを発生させる。しかしなが

ら、元のアプリケーションは既に休止しており、割込みハンドラは単にスレッシュホールドの割込み許可を変更するだけで、低スレッシュホールドの割込みが可能となる。グラフィックス・アダプタ110が、データをFIFOに移動させると、使用中カウントは減分する。一方、これにより、カウントの実際の意味が逆転するので、現存の制御と割込み論理が働かれ、最大スループットと最小オーバーヘッドが実現する。

【0054】使用中カウントが低スレッシュホールドを下回ると、低スレッシュホールド割込みが発生する。この特定のオペレーション・モードにおいては、FIFOのデータ制御レジスタ222の転送方向ビットは0を維持するので、転送方向が内向きであっても低スレッシュホールドは通常通り有効である。書き込みオペレーション中の低スレッシュホールド割込みの場合、割込みハンドラは、停止中のアプリケーションを再開させ、高スレッシュホールド割込みを可能にし、ワークステーション・プロセッサ102とグラフィックス・プロセッサ204を並列に働かせることができる。ワークステーション116がFIFOからデータを読み出すと、FIFOハードウェアは、使用中カウントを増分する。グラフィックス・アダプタ110が、データをFIFOに移動させると、使用中カウントは減分する。グラフィックス・アダプタ110が、FIFOをデータで満たすと、データの移動を停止させ、次の空기를待つ。アプリケーションが、使用中カウントが高スレッシュホールドを越えるまでの十分なデータを読み出すと、割込みハンドラがアプリケーションを停止させ、低スレッシュホールド割込みを可能にし、データが使用可能になるまで他のタスクを実行するようにする。グラフィックス・アダプタ110がオペレーションを完了すると、“データ読み出し終了”の割込みが発生する。次の2つの条件下で、この割込みが発生する。1つはアプリケーションが停止状態で、再開するために低スレッシュホールド割込みを待つ状態。もう1つはアプリケーションが実行中で、停止するために又はデータの読み出し完了のために、高スレッシュホールド割込みを待つ状態である。

【0055】アプリケーションが停止させられると、“データ読み出し終了”の割込みが、割込みハンドラにアプリケーションの再始動を実行させる。FIFOのスレッシュホールドは、低スレッシュホールド割込み可能なままである。次に、アプリケーションは全てのデータが読み出されるまで実行する。これは、使用中カウントが最大値を維持しているからである。FIFOを通常の“データ書き込み”状態にするためにアプリケーションは使用中カウントを最小値にセットする。このため、低スレッシュホールド割込みが発生することになる。全ての低スレッシュホールド割込み状態において、割込みハンドラは高スレッシュホールド割込みを可能にするが、しかし、アプリケーションが既に実行中なのでアプリケーションが開始することはない。ここでグラフィックス・アダプタ110は、通常の

“データ書き込み”の状態となる。

【0056】アプリケーションが“データ読み出し終了”割込みの時点で実行中であった場合、割込みハンドラは、高スレッシュホールド割込みを不能にさせ、低スレッシュホールド割込みを可能にして、復帰する。アプリケーションが休止状態で、“データ読み出し終了”割込みによって再始動の場合も、同様にオペレーションは処理を続行する。

【0057】複数のアプリケーション間のグラフィックス・アダプタ110の共用使用を管理する場合、ワークステーション・プロセッサ102で実行するワークステーション116のオペレーティング・システムは、アダプタにアクセスしなければならない。前述のように、各々のFIFOは、高スレッシュホールド割込み、及び低スレッシュホールド割込みによってアプリケーションを制御する。グラフィックス・アダプタ110が1つの処理から他の処理に移行しても、アダプタの現在の状態は遅延され、他の処理で状態が変更しても最後に実行された状態を保つ。ハードウェア方式によるFIFOの制御を使用することによって、オペレーティング・システムは、スレッシュホールド割込みをターン・オフさせることができ、アプリケーションは無音で、FIFOにアクセスすることができる。オペレーティング・システムが必要なのは、FIFOに十分な空きがあることを確認するために、使用中カウント・レジスタ212内の使用中カウントをポーリングするだけである。オペレーティング・システムがグラフィックス・アダプタ110へのアクセスを完了すると、スレッシュホールド割込みが再び可能となり、アプリケーションの実行が許される。同時にスレッシュホールド割込みは、グラフィックス・アダプタ110にアクセスするアプリケーションを制御するのに使用される、すなわち、アプリケーションが目標のFIFOを知らなくても、ハードウェア方式のポインタとカウントがオペレーティング・システムにFIFOにアクセスさせる。

【0058】

【発明の効果】本発明は、双方向にデータを転送でき、ワークステーション・プロセッサで同時に実行する複数の処理を解決できるFIFOバッファを提供することができる。

【図面の簡単な説明】

【図1】本発明に使用したFIFOバッファを有するコンピュータ・システムの概略図である。

【図2】他のユニットに接続される本発明のFIFOインタフェースの概略図である。

【図3】図2に示すFIFOインタフェースの内部構造の概略図である。

【図4】FIFOのポインタが、どのように図3のFIFOインタフェースのグローバル・メモリ内の位置を指すかの例示図である。

【図5】図3に示すFIFOインタフェースの複数のF

23

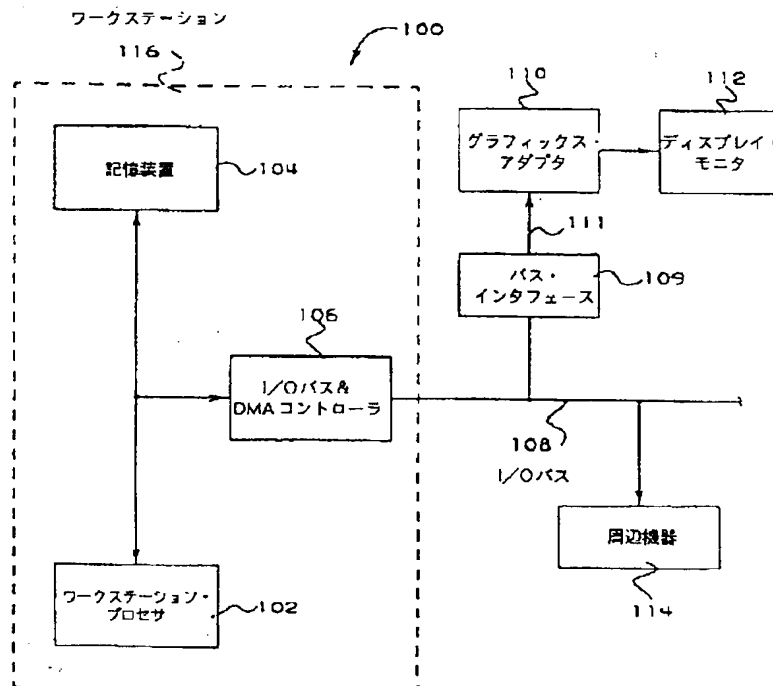
24

I F O の 1 つ に 係 る 素 子 の 概 略 図 で あ る。

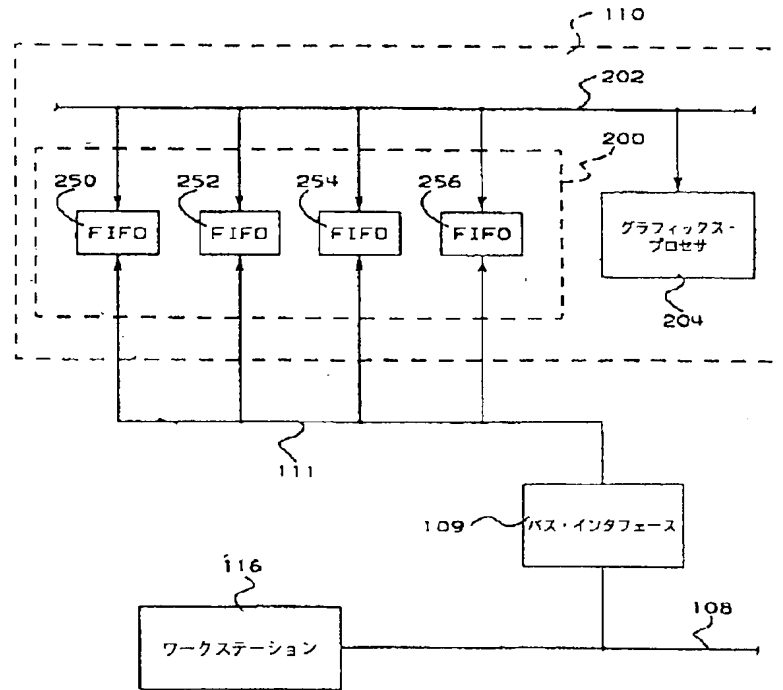
に お け る、使 用 中 カ ウ ン タ 及 び ス レ ッ シ ョ ル ド の レ ジ ス タ の 機 能 を 例 示 す る 図 で あ る。

【図6】 図5に示すF I F O の 様 々 な デ ー タ 転 送 モ ー ド

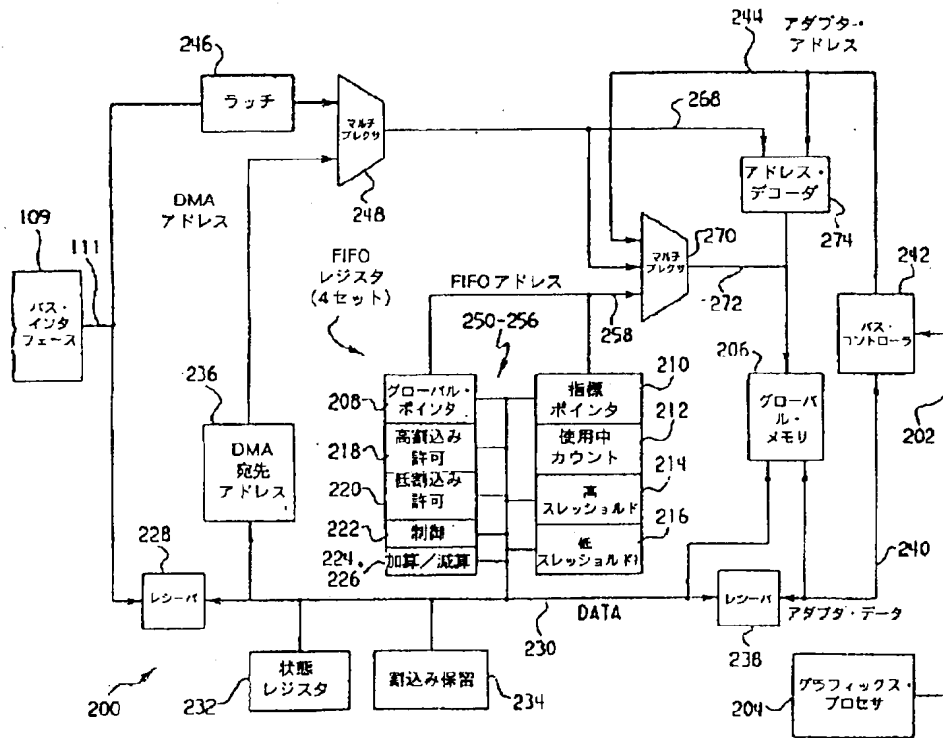
【図1】



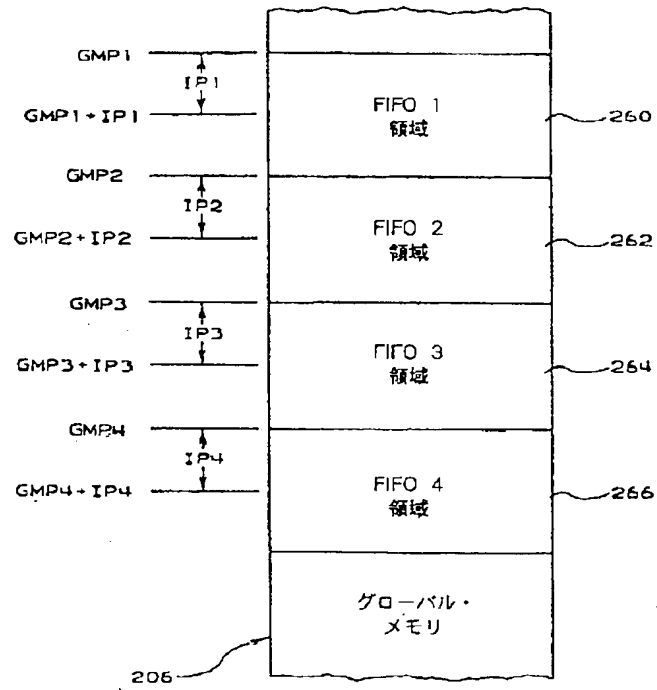
【図2】



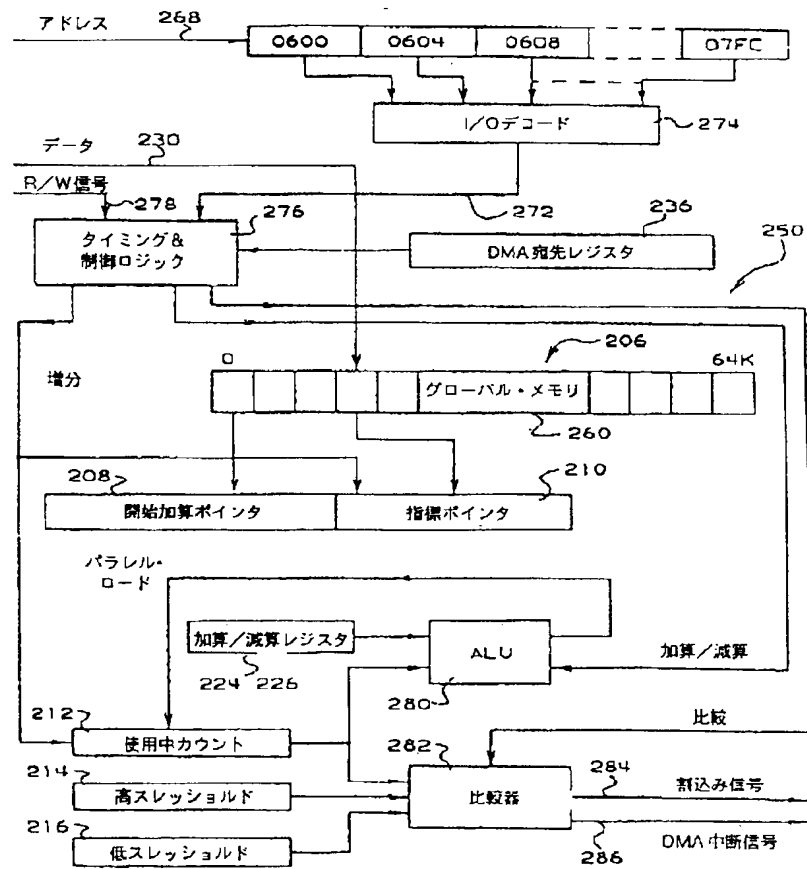
【図3】



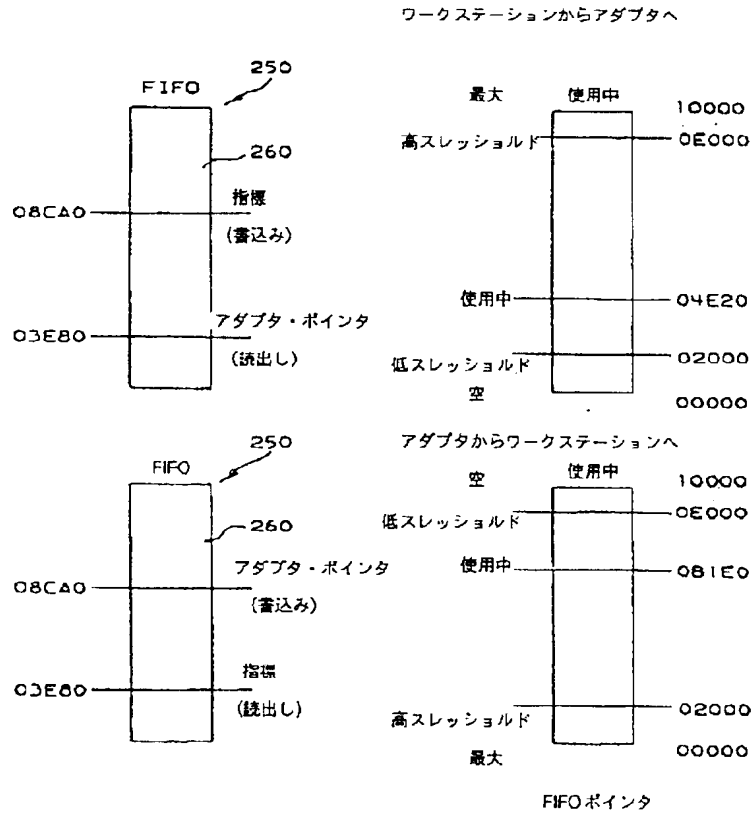
【図4】



【図5】



【図6】



フロントページの続き

(72)発明者 ポール・ジョゼフ・ミロツト
アメリカ合衆国ニューヨーク州、ソガテ
ーズ、ジョゼフ・ボウルバード 3033番地
(72)発明者 マーク・セグレ
アメリカ合衆国ニューヨーク州、ラインベ
ック、カリナ・ドライブ 15番地

(72)発明者 ジェフリー・スコット・スペンサー
アメリカ合衆国ニューヨーク州、レイク・
カントリーヌ、カーウイン・ブレイス 13番
地
(72)発明者 レスリー・ロバート・ウイelson
アメリカ合衆国ニューヨーク州、クリント
ン・コーナース、ヒツコリー・ヒル・ロー
ド 314番地